

JC568 U.S. PTO
09/470982
12/23/99

대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1998년 특허출원 제63775호
Application Number

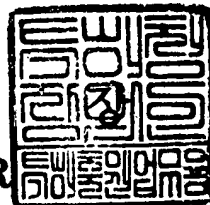
출원년월일 : 1998년 12월 31일
Date of Application

출원인 : 엘지정보통신 주식회사
Applicant(s)



1999년 8월 25일

특허청
COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

특허출원서

【출원번호】 98-063775

【출원일자】 1998/12/31

【국제특허분류】 H04B

【발명의 국문명칭】 디지털 계위 E4 신호를 정렬하기 위한 리프레머

【발명의 영문명칭】 Reframer for aligning a digital hierarchy E4 signal

【출원인】

【국문명칭】 엘지정보통신 주식회사

【영문명칭】 LG Information & Communications, Ltd

【대표자】 서평원

【출원인구분】 국내상법상법인

【우편번호】 150-010

【주소】 서울특별시 영등포구 여의도동 20번지

【국적】 KR

【대리인】

【성명】 안문환

【대리인코드】 H440

【전화번호】 02-3452-1747

【우편번호】 137-070

【주소】 서울특별시 서초구 서초동 1338-20 우진빌딩 7층

【발명자】

【국문성명】 심대혁

【영문성명】 SHIM, Dae Hyuk

【주민등록번호】 661206-1149619

【우편번호】 435-050

【주소】 경기도 군포시 금정동 772-17 성도빌라 나동 302호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

안문환 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

안문환 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 10 면 10,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 12 항 493,000 원

【합계】 532,000 원

【첨부서류】 1. 요약서, 명세서(및 도면) 각 1통

2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통

3. 위임장 1통

【요약서】

【요약】

본 발명은 고속 통신 신호 처리를 위한 디지털 계위 전송 시스템에서의 E4(139.264Mbps) 신호를 정상적으로 처리하기 위한 리프레머에 관한 것이다. 본 발명의 리프레머는 E4 병렬 데이터 프레임의 시작점을 검출하고, 그 시작점에 의해 들어오는 데이터중 부적절한 시작점을 갖는 데이터를 제거시켜 정상적인 데이터 즉, 동기가 맞는 데이터만을 다음 장비로 제공한다. 본 발명은 들어오는 E4 입력 데이터를 시프팅시켜 소정개의 데이터로 병렬 출력하고, 그 병렬 데이터로부터 프레임 시작점을 검출하기 위한 소정의 비트 패턴을 추출한다. 그 패턴을 검사하여 프레임 시작점이 검출되면, 상기 병렬 데이터중 그 시작점에 해당하는 부적절한 비트를 제거하고, 정상적인 정렬된 데이터열만을 출력한다. 본 발명은 정상적인 신호 처리를 도모함은 물론, 전체적인 시스템 안정화를 향상시킬 수 있으며, 복수개의 채널을 동시에 처리하는 단일 칩을 구현하여 가격측면에서 이득을 얻을 수 있다. 본 회로의 각 모듈들은 VHDL과 같은 고급 하드웨어 설계 언어로 구현되어 각각을 라이브러리 화할 수 있고, 따라서, 다른 형태나 다른 회로에 적용할 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

디지털 계위 E4 신호를 정렬하기 위한 리프레머(Reframer for aligning a digital hierarchy E4 signal)

【도면의 간단한 설명】

도 1a는 E4 프레임의 시작점 검출 패턴을 도시하는 도면.

도 1b는 19개의 E4 데이터(17.408Mbps)를 그룹화하여 프레임 시작점 검사 패턴을 생성하는 과정을 설명하기 위한 도면.

도 1c는 E4 프레임의 시작점 검출을 위한 회로도.

도 1d는 본 발명에 적용되는 리프레머를 통과한 E4 프레임의 출력 형태를 보여주는 도면.

도 2는 본 발명에 따른 E4 병렬 데이터 프레임의 정렬을 위한 리프레머의 블록도.

도 3a 는 도 2의 입력부의 상세 블록도.

도 3b는 도 3a의 입력데이터에 대한 출력데이터를 보여주는 테이블.

도 4는 도 2의 프레임 시작점 검출부, 초기값 설정부, 카운터들간의 입력데이터에 대한 출력데이터의 관계를 설명하기 위한 테이블.

도 5는 도 2의 프레임 정렬 결정부의 입력데이터에 대한 정렬된 출력데이터를 설명하기 위한 도면.

도 6은 본 발명에 따른 4채널 E4 병렬 데이터 프레임의 정렬을 동시에 수행

하는 단일 칩 회로도.

<도면의 주요 부분에 대한 부호의 설명>

100,610,611,612,613: 리프레머

110: 입력부

120: 프레임 시작점 검출부

130: 초기값 설정부

140: 카운터

150: 프레임 정렬 결정부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 고속 통신 신호 처리를 위한 디지털 계위 전송 시스템에 관한 것으로서, 더욱 자세하게는 부절적인 시작점을 갖고 들어오는 E4 병렬 데이터 프레임 오류를 사전에 방지하기 위한 장치에 관한 것이다.

일반적으로, 전세계적으로 통신망 서비스를 위한 전송 방식은 아날로그 방식에서 디지털 방식으로 진화하여 왔다. 디지털 전송은 아날로그에 비해 채널당 대역폭이 많이 소요되는 단점이 있음에도 불구하고, 디지털 전송 방식이 계속 발전해 온 것은 전송 대역폭 문제가 광통신(광케이블)으로 해결 가능하고, 또 전송에 의한 잡음이 거의 없으며, 신호 방식의 취급이 수월하고, 망의 감시, 유지 보수등이 용이한 장점을 갖기 때문이다. 또한 전송상의 오류 검출 및 정정 부호화를 사용하여 전송 품질과 안전성을 향상시킬 수 있다.

광통신에 의한 전송망이 미래에 광대역 정보 통신 사회를 구축하게 되겠지만

은, 현재로서는 세계의 통신망은 예컨대, 북미계, 유럽계, 일본계와 같은 서로 다른 디지털 계위 표준을 사용하고 있다. 디지털 계위는 미국의 벨 시스템과 국제 전신전화자문위원회의 전기통신표준선택이 규정한 북미식 및 유럽식의 DS-1~DS-4 계위 신호들로 구성된다. 이들 디지털 계위는 최근에 출현한 동기식 디지털 계위와 구분짓기 위해 유사 동기식 디지털 계위라 한다. 북미식 유사동기식 디지털 계위는 DS-1(1.544Mbps), DS-1C(3.152Mbps), DS-2(6.312Mbps), DS-3(44.736Mbps), DS-4E(139.264Mbps), DS-5E(564.992Mbps) 등으로 구성된다. 유럽식 유사동기식 디지털 계위는 DS-1E, DS-2E, DS-3E, DS-4E, DS-5E 등으로 구성된다. 매 단계에서의 다중화는 유사동기식다중화로서 비트채워넣기(bit-stuffing)식 정위치맞춤(positive justification)에 의해 동기화 된다.

동기식 디지털 계위(SDH)는 이들(북미식, 유럽식)을 상호 접속하여 범세계적인 통신망 구축이 가능하도록 한 망노드접면(NNI; Network Node Interface) 표준이다. SDH는 북미계위를 고려한 동기식 광 통신망(SONET; Synchronous Optical Network) 접속 표준에서 유도되어 혼용되기도 하나, 기본 전송율이나 프레임 형식에 다소 차이가 있다.

SDH는 $9B \times 270$ 프레임 구조와 155.520Mbps 비트율의 동기식 수송 모듈(Synchronous Transfer Module) STM-1신호를 기본으로, STM-1 프레임 구조를 n배 확장시킨 STM-n 신호들로 구성된다. STM-n 신호는 STM-1인 155.520Mbps 비트율의 신호를 n개 바이트 교직 다중화(BIM; Byte Interleaved Multiplexing)시킨 형태를 갖는다. 정수 n 이 1, 4, 16, 64 인 경우, 이에 상응하는 비트율 155.520,

622.080, 2,488.320, 9,953.280 Mbps 등이다.

SDH 전송 시스템은 북미식 및 유럽식의 DS-1, DS2, DS-3, DS-4E, DS-3E, DS-2E, DS-1E 등의 계위 신호들을 STM-n신호로 매핑시키는 다중화 과정과, 그 반대로 역다중화 과정을 수행한다. 이러한 SDH를 이용한 전송 장비들은 망관리에 훨씬 효과적이고, 사용자로부터 다른 사용자까지 비트 오류등의 전송 장애를 감시할 수 있는 편리한 기능을 제공한다. 뿐만 아니라 오버헤드 기능 등의 통신 규약 레벨까지의 상세한 표준화는 기능 효율을 저해하지 않으면서 다른 장비 제공자의 제품과 혼용할 수 있도록 지원할 수 있다.

이러한 디지털 계위 전송 시스템에서 전원 온/오프 시 혹은 리셋시에 들어오는 데이터 프레임 신호는 부적절한 시작점을 가질 수 있다. 예를 들어, 보통의 시스템 전원 투입시나 리셋시에 작게는 수십 프레임 이상의 데이터가 깨져서 동기가 맞지 않을 수 있기 때문에, 비정상적인 시작점을 갖는 데이터는 처리하지 않고 버려져야 한다.

따라서, 이렇게 비정상적인 데이터가 처리되는 것을 방지하게 위해 프레임 오류를 사전에 검출하여 전체적인 시스템의 안정화를 향상시키기 위한 장비가 요구되는 바이다.

【발명이 이루고자 하는 기술적 과제】

이에 본 발명은 상기와 같은 필요성을 충족시키기 위해 안출된 것으로, 본 발명은 E4 신호의 프레임 정렬 신호를 이용하여 부적절한 시작점을 가지고 들어오는 E4 프레임 데이터를 제거시켜 프레임 오류를 사전에 방지하는, 정상적인 신호

처리가 가능하도록 한 필터링 기능을 갖는, 디지털 계위 E4 신호를 정렬하기 위한 리프레머를 제공하는 데 그 목적이 있다.

상기와 같은 목적을 달성하기 위한 본 발명의 리프레머는, 정의된 프레임 정렬 신호에 의해 프레임 손실을 복구할 수 있는 E4 신호 데이터를 처리하는 디지털 전송 장비에 있어서, 들어오는 E4 입력 데이터를 시프팅시켜 소정개수로 병렬 출력함과 동시에, 상기 프레임 정렬 신호를 검사하기 위해서, 상기 병렬 출력된 데이터 중에서 검사하고자 하는 비트들을 검사 패턴으로 추출하는 입력 추출 수단; 상기 검사 패턴을 조사하여 프레임 시작점을 검출하는 수단; 상기 프레임 시작점 검출 신호 값에 의존하여, 데이터 손실이 발생하는 각 경우에 대해 조사하기 위한 제어 신호를 생성하는 제어 수단; 및 상기 프레임 시작점 검출 신호 및 상기 제어 신호에 의존하여 상기 각 경우를 결정하고, 각 경우에 따른 원래 입력 데이터로부터 부적절한 데이터만을 제거시켜 정렬된 프레임 데이터를 출력하는 프레임 정렬 결정 수단을 포함하는 것을 특징으로 한다.

【발명의 구성 및 작용】

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

본 실시예는 북미 유럽 전송장비에 적용되는 신호 레벨 중 E4(DS-4E)(139.264Mbps)신호를 처리하는 리프레머를 구현한 것이다.

먼저, 도 1a 내지 도 1d를 참조하여, 본 발명에 적용되는 E4 프레임의 시작점 검출 방법 및 리프레머를 통과한 후의 E4 프레임의 정상적인 흐름을 설명한다.

도 1a에서, E4 프레임의 시작점 검출 패턴은, ITU-T 참조 G.751에 규정된 바

와 같이, "11111010000"의 12개 비트를 사용한다. 실제로, 이 12개의 검사 패턴은, 소정의 규칙에 의해 결정되는 데, 도 1b에서와 같이, 19개의 E4 병렬 데이터 (17.408Mbps)중 2개씩 하나의 그룹을 이루고, 그 8개의 그룹(2바이트=16비트)을 도 1c의 E4 프레임의 시작점 검출 회로에 통과시키면, 즉, 그 그룹중의 12개 비트열이 "11111010000"을 만족하면, 도 1c 회로의 출력결과는 '하이'를 갖고, '하이'일 때 바로 그 그룹의 첫 번째 비트가 프레임의 시작점이 되는 것이다. 도 1d는 본 발명에 적용되는 리프레머를 통과한 E4 프레임의 출력 형태를 보여주는 도면으로 1바이트씩(8비트)들어오는 데이터가 리프레머를 통과한 E4 프레임의 흐름 형태는 반드시 FA, 00, ..., F9, FA,... 순이 되어야 한다.

본 실시예에 따른 리프레머는 상기의 규정에 따라 E4 병렬 데이터 프레임의 시작점을 검출하고, 그 시작점에 의해 들어오는 데이터중 부적절한 시작점을 갖는 데이터를 제거시켜 정상적인 데이터즉, 동기가 맞는 데이터만을 다음 장비로 제공한다.

도 2는 본 발명에 따른 E4 병렬 데이터 프레임의 재정렬을 위한 리프레머의 블록도이다. 도 2에서, 리프레머(100)는 입력부(110), 프레임 시작점 검출부(120), 초기값 설정부(130), 카운터(140), 프레임 정렬 결정부(150)로 구성된다. 각 구성부는 리셋신호와 17M 바이트 클럭에 의해 동작한다. 각 구성부는 VHDL언어와 같은 고급 하드웨어 설계 언어로 구현하였다.

입력부(110)는 바이트 단위(8비트)로 들어오는 E4 입력 데이터(I_DATA)를 시프팅시켜 9개의 데이터(B9)를 병렬로 출력하여 상기 프레임 정렬 결정부(150)로 제

공한다. 또한 입력부(110)는 상기 프레임 정렬 신호(12비트:"11111010000")를 검사하기 위해서, 상기 9개 병렬 데이터 중에서 검사하고자 하는 비트들을 추출하여 프레임 시작점 검출 패턴(B19)에 맵핑시켜 프레임 시작점 검출부(120)로 제공한다.

프레임 시작점 검출부(120)는, 도 1b, 1c에서와 같이, 상기 프레임 시작점 검출 패턴(B19)을 검사하여 그 결과로 프레임 시작점 검출 신호 값(DETEC)을 출력하고, 이를 초기값 설정부(130)로 제공한다.

초기값 설정부(130)는 상기 프레임 시작점 검출 신호값(DETEC)에 의존하여 해당하는 각 경우를 조사하기 위한 상기 카운터(140)의 초기값(INIT)을 설정하고, 카운터(140)를 구동시키기 위한 인에이블 신호(CNT_ENA)를 발생한다.

카운터(140)는 상기 카운터 인에이블 신호(CNT_ENA)에 따라 상기 설정된 초기값(INIT)부터 카운팅을 시작하여 그 카운트 값(CNT_INIT)을 프레임 정렬 결정부(150)로 제공한다.

프레임 정렬 결정부(150)는 상기 프레임 시작점 검출부(120)의 검출 신호 값(DETEC) 및 상기 카운터(140)의 카운트 값(CNT_INIT)에 따라서, 상기 입력부(110)로부터 병렬 데이터(B9)를 검사하여 부적절한 데이터를 제거하고 정렬된 데이터열(O_REFR_DATA)을 출력한다.

이하, 도 2의 각 구성부의 작용을 도 3a 내지 도 5를 참조하여 설명한다.

도 3a 는 도 2의 입력부의 상세 블록도이고, 도 3b는 도 3a의 입력데이터에 대한 출력데이터를 보여주는 테이블이다.

도 3a를 참조하면, 입력부(110)는 17Mbps E4 병렬 데이터(I_DATA[7:0])를 바

이트 단위로 입력받아, 3비트 8카운터를 사용하여 한 클럭씩 입력 데이터를 시프팅시키면서 순차적으로 a[7:0], b[7:0], c[7:0], d[7:0], e[7:0], f[7:0], g[7:0], h[7:0], i[7:0]의 형태로 9개의 병렬 출력 데이터(B9)를 출력하는 제1블록(111)을 포함한다.

또한, 입력부(110)는 프레임 시작점을 검출하기 위한 검사 패턴을 매핑시키는 부분을 포함한다. 상기 매핑부분은 17Mbps E4 병렬 데이터(I_DATA[7:0])를 바이트 단위로 입력받아, 3비트 7카운터를 사용하여 한 클럭씩 입력 데이터를 시프팅시키면서 순차적으로 a[7:0], b[7:0], c[7:0], d[7:0], e[7:0], f[7:0], g[7:0], h[7:0]의 형태의 8개의 병렬 데이터를 출력하는 제2 블록(112)과, 상기 제2블록(112)의 출력을 소정의 규칙에 따라 19비트씩 매핑시켜 3그룹을 출력하는 매핑부(113)와, 상기 매핑부(113)의 3그룹을 차례로 선택하여 출력하는 선택부(114)로 구성된다.

상기 제 1블록(111)의 출력 데이터(B9)는 다음의 프레임 정렬 결정부(150)로 제공된다. 여기서, 제 1블록(111)의 8카운터의 값이 '000'부터 '111'까지 증가되면서, 'a[7:0]'부터 'h[7:0]'까지가 병렬로 출력되고, 8카운터의 값이 '111'이고 캐리값이 '하이'가 될 때 9번째 출력 'i[7:0]'가 출력되도록 한다. 즉, 도 3b에서와 같이, 매 주기마다 바이트 단위로 시프팅되면서 순차적으로 9개 병렬 데이터가 출력되고, 9번째 출력 'i[7:0]'가 다음 주기의 첫번째 출력과 동일한 값을 갖도록 하였다. 이렇게 하는 이유는 데이터를 잃어버리지 않고 해당 데이터에 대한 검사 패턴을 연속적으로 추출하고 조사하기 위함이다.

상기 검사 패턴 매핑부분에서, 상기 병렬 출력된 8개의 데이터('a[7:0]'부터 'h[7:0]')(64비트)로부터 프레임 시작점을 검출하기 위한 검사 패턴을 생성한다. 매핑부(113)에서는 8개의 병렬 데이터(64비트)중 순서대로 각 19비트를 갖는 제1그룹(D1~D5), 제2그룹(D6~D10), 제3그룹(D11~D15)(총 57비트)으로 맵핑시키고, 선택부(114)에서는 3비트 카운터 값에 따라 각 그룹을 차례대로 선택하여 출력한다.

검사패턴의 매핑규칙은, 예를들어, 제1그룹(D1~D5) 검사패턴(B19)이 D1[4:0], D2[2:0], D3[4:0], D4[2:0], D5[2:0]으로 주어질 때, 한 주기에서 D1[4:0]은 a[7:3]로부터, D2[2:0]은 a[2:0]로부터, D3[4:0]은 b[7:3]로부터, D4[2:0]는 b[2:0]로부터, D5[2:0]는 c[7:5]로부터 맵핑된다. 다음 주기에서 제 1 그룹의 D1[4:0]은 b[4:0]로부터, D2[2:0]은 b[7:5]로부터, D3[4:0]은 c[4:0]로부터, D4[2:0]는 c[7:5]로부터, D5[2:0]는 d[2:0]로부터 맵핑된다.

이러한 동작을 반복적으로 수행하게 되면, 한주기 동안 입력 64비트중 57비트를 검사하게 되고 나머지 검사되지 않은 7개를 포함한 비트는 다음 주기에서 반복적으로 검사하게 되므로 문제가 되지 않는다.

상기 프레임 시작점 검출부(120)는 상기 입력부(110)의 검사 패턴 19비트(D1[4:0], D2[2:0], D3[4:0], D4[2:0], D5[2:0])를 입력으로 받아서, 정의된 프레임 정렬 신호(Frame Alignment)("111110100000")를 검출할 때까지, 도 1a 내지 도 1d 에서 설명한 바와 같은 시작점 검출 과정을 반복적으로 수행한다. 프레임의 시작점이 검출되기 전까지는 입력되는 모든 8비트가 시작점이 될 수 있다. 만약 시작점이 검출되면, 리셋이나 전원이 온 오프가 없는 한 더 이상의 작동없이 그 값을

계속 유지하게 한다. 상기 "111110100000" 값의 검출이 중요한 이유는 바로 이 시점부터 데이터의 시작점이 되기 때문이다. 그리고, 다음의 13번째 비트는 이 데이터가 AIS(Alarm Indication Signal)인지 아닌지를 구분해주기 때문에 중요하다.

프레임 시작점 검출부(120)를 통해 프레임 정렬 신호(FA)("111110100000")를 검출했을 때, 입력비트 순서에 따라 해당 검출(DETEC[7:0]) 신호 값은, 도 4의 테이블과 같이, 정의된다.

즉, 프레임 시작점이 검출되었을 때(FA검출신호='HIGH'), 단위 바이트중 7번째비트부터 입력되었다면 DETEC[7:0]="10000000", 6번째비트부터 입력되었다면 DETEC[7:0]="1000000", 5번째비트부터 입력되었다면 DETEC[7:0]="100000", 4번째비트부터 입력되었다면 DETEC[7:0]="10000", 3번째비트부터 입력되었다면 DETEC[7:0]="1000", 2번째비트부터 입력되었다면 DETEC[7:0]="100", 1번째비트부터 입력되었다면 DETEC[7:0]="10", 0번째비트부터 입력되었다면 DETEC[7:0]="1"로 출력된다.

이런 방식으로 출력된 DETEC[7:0]신호는 초기값설정부(130) 및 프레임 정렬결정부(150)를 구동시키는 인에이블 신호로 제공된다.

초기값 설정부(130)는 프레임 시작점 검출부(120)의 검출신호(DETEC[7:0])를 입력으로 받아, 즉 프레임 시작점을 입력신호로 받아 그 시작점으로부터의 출력을 유도하기 위한 새로운 카운터(카운터부(140))의 초기값(INTI[3:0])을 설정해준다. 즉, 출력할 데이터의 시점을 결정해주는 부분이다. 또한, 그 카운터를 구동시키기 위한 인에이블(CNT-ENA) 신호를 출력한다. 검출신호(DETEC[7:0])에 따라 설정

되는 초기값 및 인에이블 신호는, 도 4의 테이블과 같이, 출력된다. 즉, DETEC[7:0]="10000000"이면 INIT[3:0]은 "1"(1)이고, DETEC[7:0]="1000000"이면 INIT[3:0]은 "10"(2)이고, DETEC[7:0]="100000"이면 INIT[3:0]은 "11"(3)이고, DETEC[7:0]="10000"이면 INIT[3:0]은 "100"(4)이고, DETEC[7:0]="1000"이면 INIT[3:0]은 "101"(5)이고, DETEC[7:0]="100"이면 INIT[3:0]은 "110"(6)이고, DETEC[7:0]="10"이면 INIT[3:0]은 "111"(7)이고, DETEC[7:0]="1"이면 INIT[3:0]은 "1000"(8)이다. 그리고, 각 초기값이 상기와 같이 설정됨과 동시에, 카운터 인에이블(CNT_ENA) 신호는 '하이'로 활성화되고, 그외 경우에는 '로우'를 갖는다.

카운터(140)는 1부터 8까지 표시하기 위해 4비트 카운트로 구현되며, 상기 카운터 인에이블 신호(CNT_ENA)에 따라 상기 설정된 초기값(INIT)부터 카운팅을 시작한다. 그 카운트 값(CNT_INIT[3:0])은, 도 4의 테이블에 나타난 바와 같이, 제공된 초기값부터 시작하여 "111"(8)까지 카운팅하고 다시 "1"(1)부터 1씩 증가하면서 반복적으로 카운팅한다. 상기 카운트 값(CNT_INIT[3:0])은 정렬 결정부(150)로 제공되어, 프레임의 시작점으로부터 몇 개의 비트가 비정상적인 데이터인지를 결정하는데 사용된다.

프레임 정렬 결정부(150)는 상기 프레임 시작점 검출부(120)의 검출 신호 값(DETEC)에 의해 병렬 입력 데이터중 프레임이 시작하는 비트를 알아내고 및 상기 카운터(140)의 카운트 값(CNT_INIT)에 따라서, 상기 입력부(110)로부터 입력되는 병렬 데이터(B9: a,b,c,d,e,f,g,h,i)를 검사하여 부적절한 비정상적인 출발점을 갖

고 들어오는 데이터 비트를 제거하고, 프레임 시작점부터 순서대로 정렬된 데이터 열(O_REFR_DATA[7:0])을 출력한다.

만일, 검출 신호 값(DETEC)이 "10000000", "1000000", "100000", "10000", "1000", "100", "10", "1" 이외의 값을 갖을 경우에, 정렬된 출력 데이터(O_REFR_DATA[7:0])는 "0"을 갖는다.

이제, 각각의 검출 신호 값에 따른 8가지 경우에 대한 프레임 정렬 결정부(150)의 출력 데이터 형태를 도 5를 참조하여 설명한다.

도 5에서, (a)는 DETEC[7:0]="10000000"이고 CNT_INIT[3:0]은 "1"(1)인 경우, 병렬 입력된 데이터 a[7:0], b[7:0], c[7:0], d[7:0], e[7:0], f[7:0], g[7:0], h[7:0], i[7:0] 들은 바이트 클럭에 따라 a[7:0]부터 순차적으로 O_REFR_DATA[7:0]에 맵핑되어 출력된다.

(b)는 DETEC[7:0]="1000000"이고 CNT_INIT[3:0]은 "10"(2)인 경우, 첫 번째 비트를 버리고, 다음 비트부터 순서대로 하나의 바이트를 만들어서 8비트 형태로 출력한다.

(c)는 DETEC[7:0]="100000"이고 CNT_INIT[3:0]은 "11"(3)인 경우, 두 비트를 버리고,

(d)는 DETEC[7:0]="10000"이고 CNT_INIT[3:0]은 "100"(4)인 경우, 세 비트를 버리고,

(e)는 DETEC[7:0]="1000"이고 CNT_INIT[3:0]은 "101"(5)인 경우, 네 비트를 버리고,

(f)는 DETEC[7:0]="100"이고 CNT_INIT[3:0]은 "110"(6)인 경우, 다섯 비트를 버리고,

(g)는 DETEC[7:0]="10"이고 CNT_INIT[3:0]은 "111"(7)인 경우, 여섯 비트를 버리고,

(h)는 DETEC[7:0]= "1"이고 CNT_INIT[3:0]은 "1000"(8)인 경우, 일곱 비트를 버린다.

(b) 내지 (h)에서 해당 비트 수만큼을 버리는 것은, 보통의 시스템 전원 투입시 혹은 리셋시에 작게는 10프레임 이상의 데이터가 깨져서 동기가 맞지 않는 상태로 들어오기 때문에 비정상적인 출발점을 갖는 데이터를 다음단(장비)에서 처리하지 않도록 하기 위함이다.

도 3a의 예제에서 프레임 얼라이먼트(FA)가 e[3:0]와 f[7:0]에서 존재함을 검출할 수 있고 그 때의 DETEC[7:0]="1000"이 되고, INIT[3:0]="101"이 되고, CNT_INIT[3:0]은 리셋 후 첫 번째 출력으로부터 순차적으로, "0101,0110,0111,1000,0001,0010,0011,0100,0101,..."을 반복한다. 그리고, 도 5의 (e)에서와 같이 처음 4비트를 제거하고, 그 다음 비트부터 8비트단위로 잘라서 출력하게 되면, 동기가 맞는 정상적인 정렬된 형태의 프레임 데이터를 출력하게 된다.

예를 들어, 정상적으로 동기가 맞은 139.264Mbps 데이터일 경우 1비트를 뺀 나머지 비트들이 모두 깨져서 들어올 수 있으므로 버려져야하고, 동기가 맞지 않은 데이터일 경우 10프레임이상이 동기가 맞을 때까지 계속해서 버려질 수 있다.

이상과 같은 처리 과정을 수행하는 본 리프레머(100)에 의하면, 프레임 시작

점을 찾아내고 다음 단으로 정상적인 데이터를 매핑시켜 줌으로써 경보발생을 사전에 제거할 수 있다. 만일, 리프레머를 통하지 않고 입력데이터가 그대로 처리된다면 데이터의 시작점 및 해석 자체가 불가능할 것이다.

본 발명의 더 바람직한 실시예에 있어서, 복수개의 리프레머(100)를 병렬구조로 배치하여 단일 칩으로 구현함으로써, 복수개의 채널 STM-n 급 신호를 동시에 처리할 수 있다. 예컨대, 4 채널 E4 신호 즉, STM-1급(155.520Mbps)신호를 동시에 처리하는 4장의 카드를 채용하여 하나의 단일 칩으로 설계될 수 있으며, 더 확장하여 STM-4(622Mbps), STM-16(2.5Gbps), 및 STM-64(10Gbps)의 처리 능력을 갖도록 설계될 수 있다.

도 6을 참조하면, 본 칩(600)은 4채널 E4 병렬 데이터 프레임의 재정렬을 동시에 수행하는 4개의 리프레머(610), 리프레머(611), 리프레머(612), 리프레머(613)를 구비한다. 각 리프레머(610,611,612,613)는 도 2의 본 회로(100)와 동일한 구성을 갖고 동일한 작용을 수행한다. 즉, 입력채널데이터(I_CHi_DATA[7:0])를 입력받아 프레임 시작점을 검출하고 그 시작점으로부터 카운팅하여 부적절한 출발점을 갖는 데이터를 제거시킴으로써, 정상적인 출력 데이터(O_CHi_DATA[7:0])를 다음단으로 제공한다.

본 발명은 상기에 기술된 실시예들에 의해 한정되지 않고, 당업자들에 의해 다양한 변형 및 변경을 가져올 수 있으며, 이는 첨부된 청구항에서 정의되는 본 발명의 취지와 범위에 포함된다.

【발명의 효과】

이상에서 살펴본 바와 같이, 본 발명의 리프레머는 부적절한 시작점을 갖고서 들어오는 입력데이터들의 프레임 오류를 사전에 방지함으로써, 정상적인 신호처리를 도모함은 물론, 전체적인 시스템 안정화를 향상시킬 수 있다. 본 발명은 ASIC(Application Specific IC)과 관련되어 진행중인 수출형 2.5G SDH 장비에 사용 가능하며, 북미 유럽의 E4(139.264Mbps) 신호를 사용하는 나라의 모든 전송 장비에 사용 가능하다. 더욱이 하나의 칩으로 E4의 4채널을 커버할 수 있으므로 종속적으로 여러 채널이 동시에 필요한 622Mbps 급 이상의 E4 신호 사용장비에 더욱 효과적으로 적용될 수 있다. 또한, 만약 622Mbps 장비에 E4가 보조적으로 적용된다면 각각의 E4 보드(4장)에 들어가야할 리프레밍 칩을 한 보드에만 장착하여 사용할 수 있게됨에 따라 부품의 적절한 배치와 공간의 활용이 용이하고 보드의 사이즈도 좀더 줄일 수 있게 되며 생산 원가도 낮출 수 있다. 또한, 각각의 구성블록은 VHDL과 같은 고급 하드웨어 설계 언어로 구성되어 어떤 회로의 설계시에도 라이브러리가 가능하고, 따라서, 다른 형태나 다른 회로에 적용할 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

정의된 프레임 정렬 신호에 의해 프레임 손실을 복구할 수 있는 E4 신호 데이터 처리하는 디지털 전송 장비에 있어서,

들어오는 E4 입력 데이터 단위를 시프팅시켜 N+1개의 병렬 데이터로 출력함과 동시에, 상기 프레임 정렬 신호를 검사하기 위해서, 상기 병렬 출력된 데이터 중에서 검사하고자 하는 비트들을 검사 패턴으로 추출하는 입력 추출 수단;

상기 검사 패턴을 조사하여 프레임 시작점을 검출하는 수단;

상기 프레임 시작점 검출 신호 값에 의존하여, 데이터 손실이 발생하는 각 경우에 대해 조사하기 위한 제어 신호를 생성하는 제어 수단; 및

상기 프레임 시작점 검출 신호 및 상기 제어 신호에 의존하여 상기 각 경우를 결정하고, 각 경우에 따른 원래 입력 데이터로부터 부적절한 데이터만을 제거시켜 정렬된 프레임 데이터를 출력하는 프레임 정렬 결정 수단을 포함하는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

【청구항 2】

제 1 항에 있어서, 상기 입력 추출 수단은,

카운터와 시프트레지스터를 이용하여 들어오는 E4 신호를 시프팅시켜 N+1개의 병렬 데이터를 순차적으로 출력하며;

상기 검사 패턴은 상기 프레임 정렬 신호의 비트 길이와 동일한 길이가 되도록, 상기 병렬 데이터 중 상위 N개 데이터를 상위 비트부터 차례로 매핑시켜가면

서, 하나의 검사 패턴을 형성하는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

【청구항 3】

제 1 항에 있어서, 상기 입력 추출 수단은

매 검사 주기마다 다수개의 상기 검사 패턴을 선택적으로 출력하는 선택 수단을 구비하는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

【청구항 4】

제 1 항에 있어서, 상기 입력 추출 수단은

임의의 검사 주기에서 하위 N+1번째 병렬 데이터가 다음 검사 주기에서 상위 첫 번째 병렬 데이터와 동일한 값으로 출력되는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

【청구항 5】

제 1 항에 있어서, 상기 프레임 시작점 검출 수단은

상기 입력 추출 수단의 상기 검사 패턴을 입력으로 받아서, 상기 정의된 프레임 정렬 신호를 검출할 때까지, 시작점 검출 과정을 반복적으로 수행하고, 만약 시작점이 검출되면, 리셋이나 전원이 온 오프가 없는 한 그 값을 계속 유지하는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

【청구항 6】

제 5 항에 있어서, 상기 프레임 시작점 검출 수단은,

상기 프레임 정렬 신호를 검출했을 때, 입력비트 순서에 따라 해당 검출 (DETEC) 신호 값이 결정되는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

【청구항 7】

제 5 항에 있어서, 상기 프레임 시작점 검출 수단은,

상기 프레임 정렬 신호를 검출했을 때, 입력비트 순서에 따라 해당 검출 (DETEC) 신호 값을 하기와 같이 정의되는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

프레임 시작점이 검출되었을 때,

7번째비트부터 입력되었다면 DETEC="10000000",

6번째비트부터 입력되었다면 DETEC="1000000",

5번째비트부터 입력되었다면 DETEC="100000",

4번째비트부터 입력되었다면 DETEC="10000",

3번째비트부터 입력되었다면 DETEC="1000",

2번째비트부터 입력되었다면 DETEC="100",

1번째비트부터 입력되었다면 DETEC="10",

0번째비트부터 입력되었다면 DETEC="1".

【청구항 8】

제 6 항에 있어서, 상기 제어 수단은

상기 프레임 시작점 검출 수단의 검출 신호(DETEC)를 입력으로 받아, 프레임

시작점이 발견되면, 그 시작점으로부터의 출력을 유도하기 위한 새로운 카운터의 초기값(INIT)을 설정해줌과 동시에, 상기 새로운 카운터를 구동시키기 위한 인에이블(CNT_ENA) 신호를 출력하는 초기값 설정부를 포함하는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

【청구항 9】

제 8 항에 있어서, 상기 초기값 설정부의 상기 초기값(INIT) 및 인에이블(CNT_ENA) 신호는 하기와 같이 정의되는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

- i) DETEC="10000000"이면 INIT은 "1"(1),
- ii) DETEC="1000000"이면 INIT은 "10"(2),
- iii) DETEC="100000"이면 INIT은 "11"(3),
- iv) DETEC="10000"이면 INIT은 "100"(4),
- v) DETEC="1000"이면 INIT은 "101"(5),
- vi) DETEC="100"이면 INIT은 "110"(6),
- vii) DETEC="10"이면 INIT은 "111"(7),
- viii) DETEC="1"이면 INIT은 "1000"(8).

상기 (i) 내지 (viii)의 각 경우에 대해 상기 인에이블(CNT_ENA) 신호가 활성화됨.

【청구항 10】

제 8 항에 있어서, 상기 제어 수단은 프레임의 시작점으로부터 몇 개의 비트

가 비정상적인 데이터인지를 결정하는 수단을 추가로 포함하며,

상기 수단은, 상기 인에이블 신호(CNT_ENA)가 활성화 될 때 상기 설정된 초기값(INIT)부터 카운팅을 시작하여, 그 카운팅 값에 따라 상기 비정상적인 데이터 비트의 개수가 결정되는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

【청구항 11】

제 10 항에 있어서, 상기 프레임 정렬 결정 수단은,

상기 프레임 시작점 검출신호 값(DETEC)에 의해 병렬 입력 데이터중 프레임이 시작하는 비트를 알아내고, 상기 카운트 값(CNT_INIT)에 의존하여 상기 입력되는 병렬 데이터중 비정상적인 출발점을 갖고 들어오는 데이터 비트만을 제거하는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

【청구항 12】

제 10 항에 있어서, 상기 프레임 정렬 결정 수단에서의

부적절한 비트 제거의 규칙은 하기와 같이 정의되는 것을 특징으로 하는 디지털 계위 E4 신호를 정렬하기 위한 리프레머.

i) DETEC="10000000"이고 CNT_INIT="1"인 경우, 병렬 입력된 데이터는 순차적으로 들은 바이트 클럭에 따라 출력.

ii) DETEC="1000000"이고 CNT_INIT="10"인 경우, 첫 비트 버림,

iii) DETEC="100000"이고 CNT_INIT="11"인 경우, 두개 비트 버림,

iv) DETEC="10000"이고 CNT_INIT="100"인 경우, 세개 비트 버림.

v) DETEC="1000"이고 CNT_INIT="101"인 경우, 네개 비트 버림.

vi) DETEC="100"이고 CNT_INIT="110"인 경우, 다섯개 비트 버림.

vii) DETEC="10"이고 CNT_INIT="111"인 경우, 여섯개 비트 버림.

viii) DETEC= "1"이고 CNT_INIT="1000"인 경우, 일곱개 비트 버림.

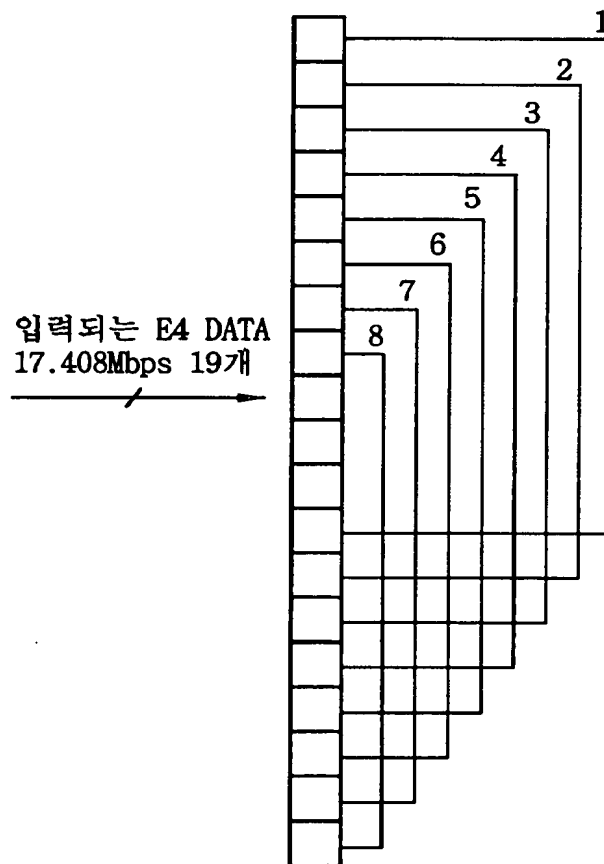
상기 정렬된 데이터열은, 상기 ii) 내지 viii)의 경우 버리고 난 다음 비트부터 순서대로 하나의 바이트를 만들어서 바이트 형태로 출력됨.

【도면】

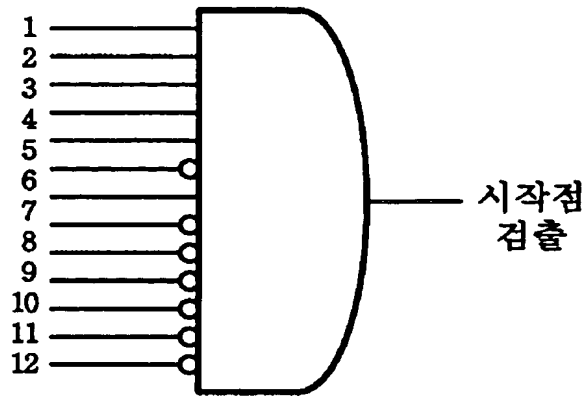
【도 1a】

1	2	3	4	5	6	7	8	9	10	11	12
1	1	1	1	1	0	1	0	0	0	0	0

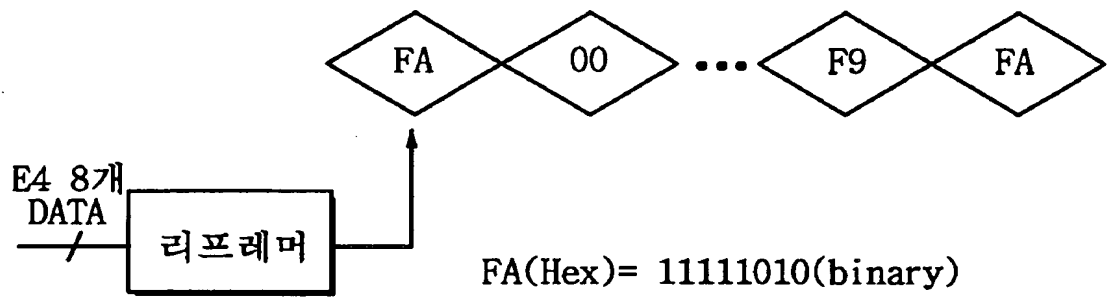
【도 1b】



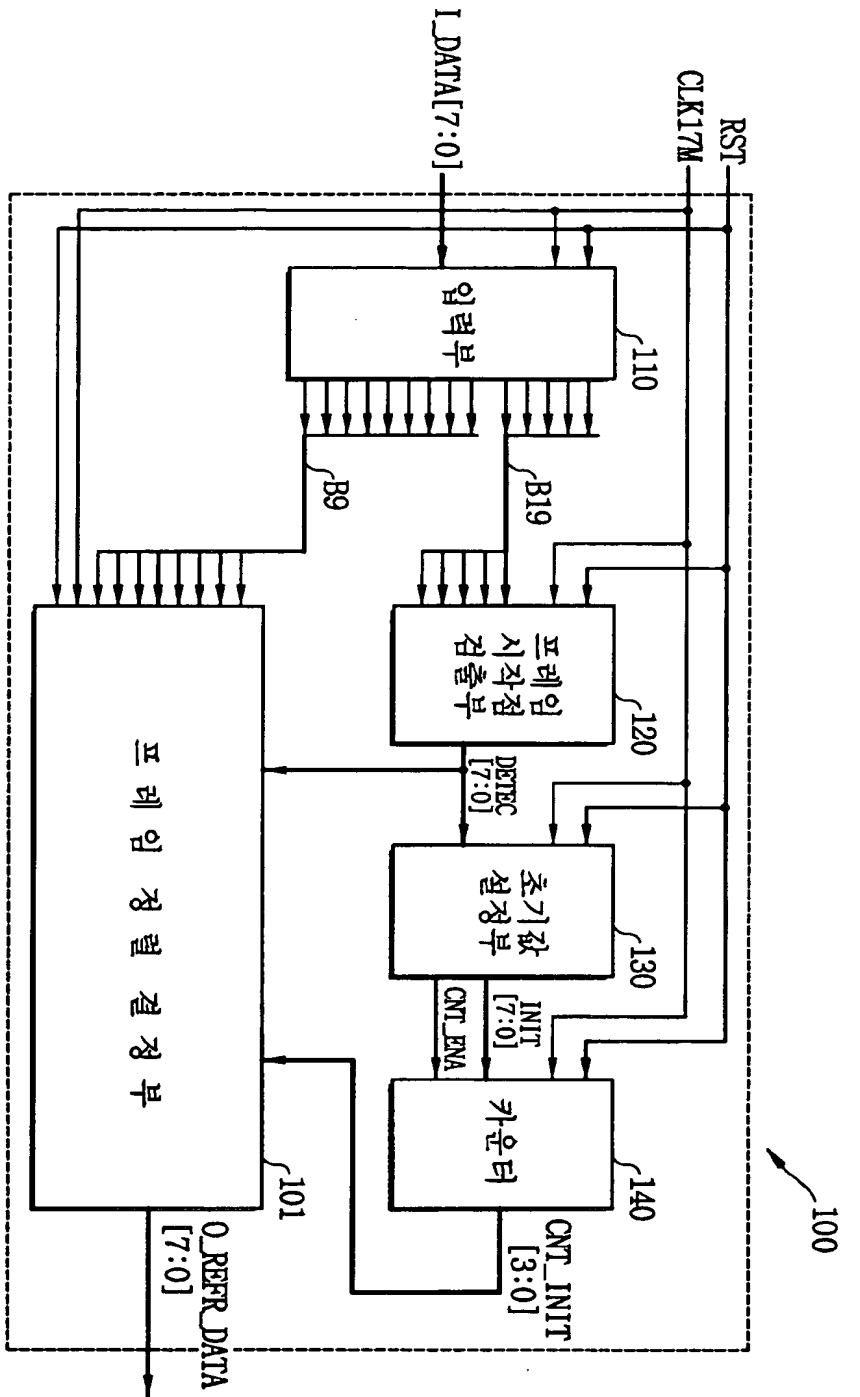
【도 1c】



【도 1d】



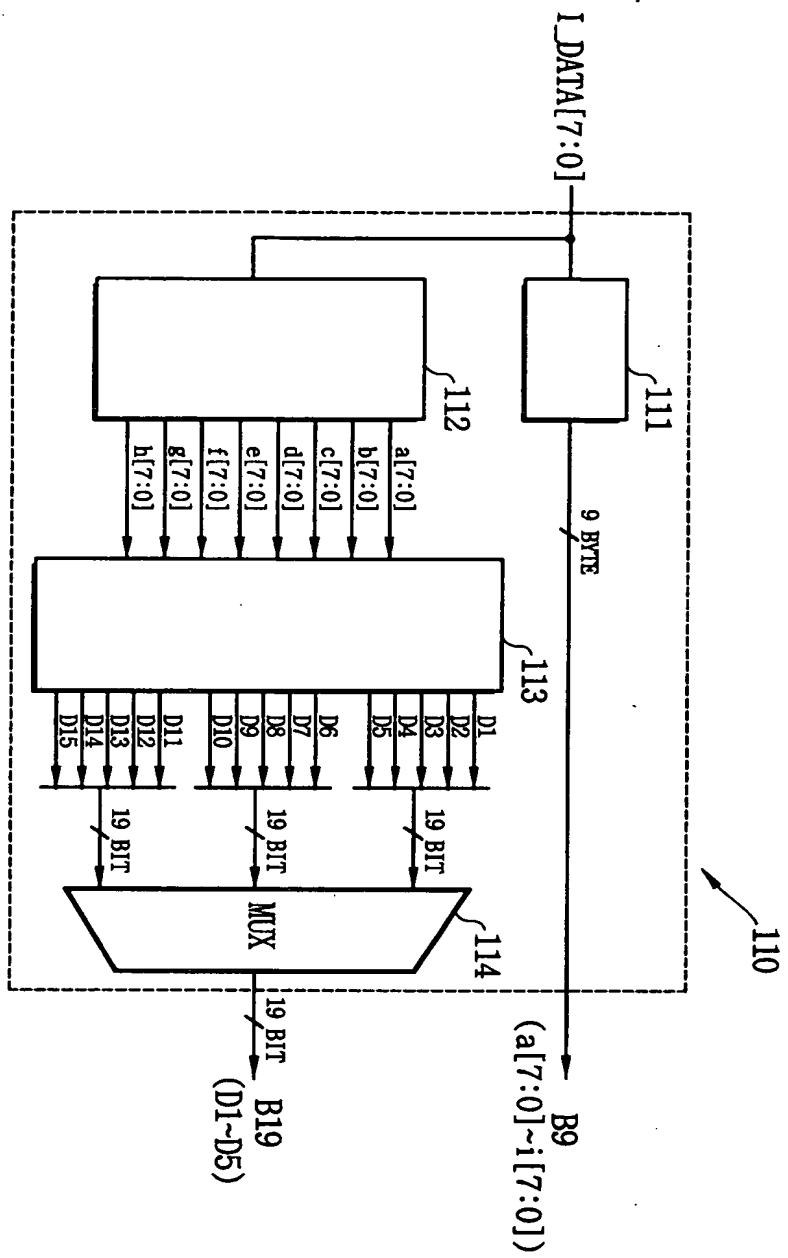
【도 2】



$B19 \left\{ \begin{array}{l} D1[4:0] \\ D2[2:0] \\ D3[4:0] \\ D4[2:0] \\ D5[2:0] \end{array} \right.$

$B9 \left\{ \begin{array}{l} a[7:0] \\ b[7:0] \\ c[7:0] \\ d[7:0] \\ e[7:0] \\ f[7:0] \\ g[7:0] \\ h[7:0] \\ i[7:0] \end{array} \right.$

【도 3a】



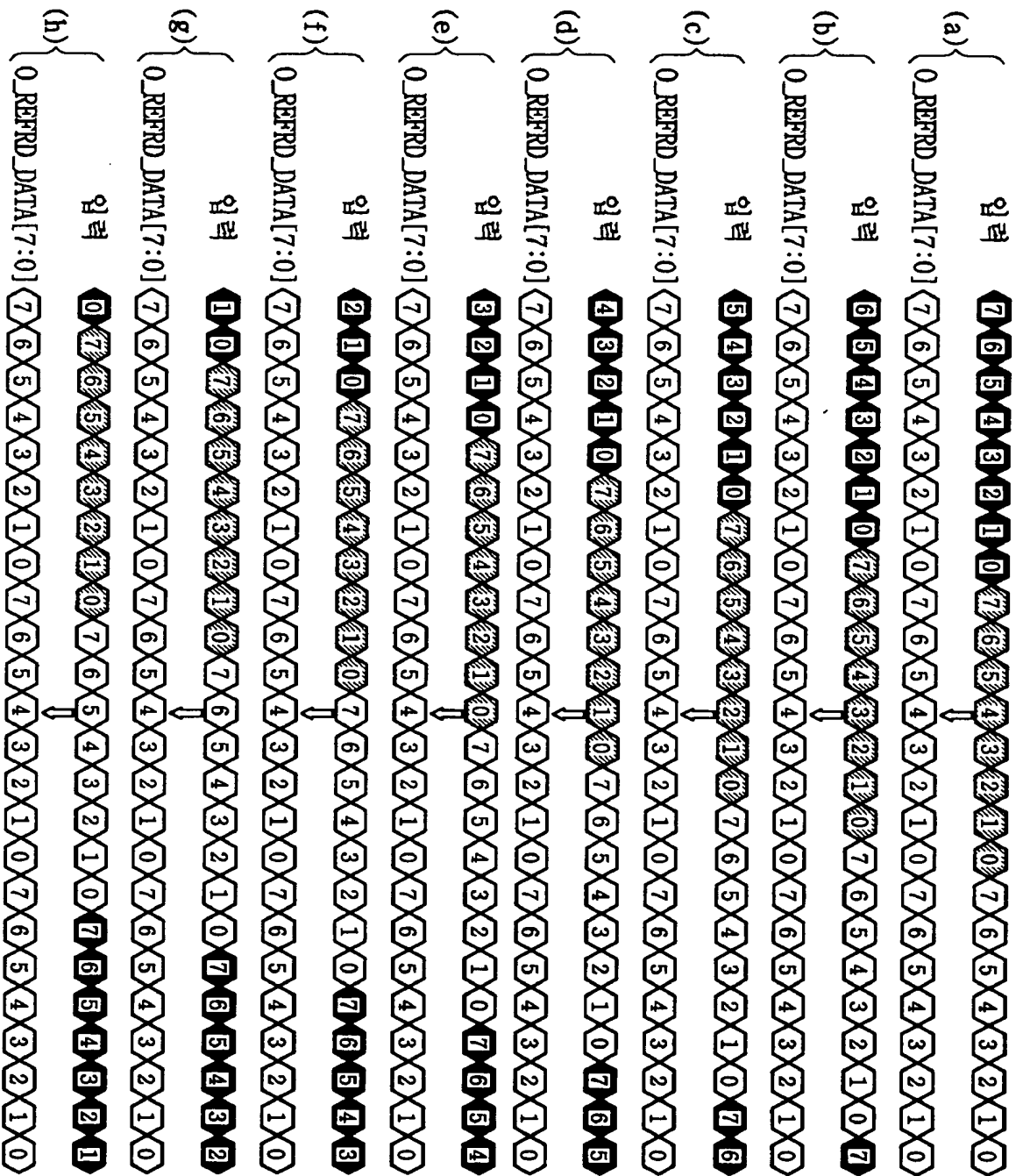
【도 3b】

병렬 출력 데이터(B9)	1주기	2주기	3주기
a[7:0]	11101100	00101011	10110011
b[7:0]	00110010	.	.
c[7:0]	01010101	.	.
d[7:0]	10101010	.	.
e[7:0]	00001111	.	.
f[7:0]	10100000	.	.
g[7:0]	00000000	.	.
h[7:0]	01100101	.	.
i[7:0]	00101011	10110011	.

【도 4】

입력비트 순서	FA 검출	DETEC[7:0]	INIT[3:0]	CNT_ENA	카운터(140)출력 CNT_INIT[3:0]
7	HIGH	10000000	0001	HIGH	0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 0001, 0010..
6	HIGH	01000000	0010	HIGH	0010, 0011, 0100, 0101, 0110, 0111, 1000, 0001, 0010, 0011..
5	HIGH	00100000	0011	HIGH	0011, 0100, 0101, 0110, 0111, 1000, 0001, 0010, 0011, 0100..
4	HIGH	00010000	0100	HIGH	0100, 0101, 0110, 0111, 1000, 0001, 0010, 0011, 0100, 0101..
3	HIGH	00001000	0101	HIGH	0101, 0110, 0111, 1000, 0001, 0010, 0011, 0100, 0101, 0110,
2	HIGH	00000100	0110	HIGH	0110, 0111, 1000, 0001, 0010, 0011, 0100, 0101, 0110, 0111..
1	HIGH	00000010	0111	HIGH	0111, 1000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000..
0	HIGH	00000001	1000	HIGH	1000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 0001..

【표 5】



【표 6】

